

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001705

International filing date: 04 February 2005 (04.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-031214  
Filing date: 06 February 2004 (06.02.2004)

Date of receipt at the International Bureau: 14 April 2005 (14.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

22.02.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年    2 月    6 日  
Date of Application:

出 願 番 号            特 願 2 0 0 4 - 0 3 1 2 1 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 4 - 0 3 1 2 1 4 ]

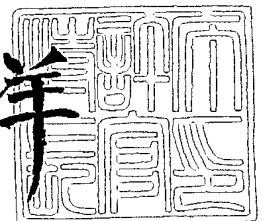
出    願    人            関 西 電 力 株 式 有 限 公 司  
Applicant(s):



2 0 0 5 年    3 月 3 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川 洋



【書類名】 特許願  
【整理番号】 GKSD0119S  
【提出日】 平成16年 2月 6日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/312  
【発明者】  
    【住所又は居所】 大阪市北区中之島 3 丁目 3 番 2 2 号 関西電力株式会社内  
    【氏名】 菅原 良孝  
【特許出願人】  
    【識別番号】 000156938  
    【住所又は居所】 大阪市北区中之島 3 丁目 3 番 2 2 号  
    【氏名又は名称】 関西電力株式会社  
【代理人】  
    【識別番号】 100113479  
    【弁理士】  
    【氏名又は名称】 大平 覺  
【選任した代理人】  
    【識別番号】 100062926  
    【弁理士】  
    【氏名又は名称】 東島 隆治  
【手数料の表示】  
    【予納台帳番号】 236883  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

バイポーラ半導体素子として動作する p 型及び n 型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する第 1 の p n 接合、

前記第 1 の p n 接合の端部から離隔して前記半導体領域の一方の半導体領域内に設けられ、前記一方の半導体領域内で周囲の半導体領域の導電型とは異なる導電型を有し、前記周囲の半導体領域との間に第 2 の p n 接合を形成する電界緩和層、

前記第 1 の p n 接合を形成する他方の半導体領域に電氣的に接続されるとともに、前記第 1 の p n 接合と前記第 2 の p n 接合との間の半導体領域に、電気絶縁膜を介して対向する前記バイポーラ半導体素子の電流通路となる第 1 の電極、及び

前記一方の半導体領域に接続された第 2 の電極  
を少なくとも有するワイドギャップ半導体装置。

**【請求項 2】**

バイポーラ半導体素子として動作する p 型及び n 型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する第 1 の p n 接合、

前記第 1 の p n 接合の端部から離隔して前記半導体領域の一方の半導体領域内に設けられ、前記一方の半導体領域内で周囲の半導体領域の導電型とは異なる導電型を有し、前記周囲の半導体領域との間に第 2 の p n 接合を形成する電界緩和層、

前記第 1 の p n 接合を形成する他方の半導体領域に電氣的に接続されるとともに、前記第 1 の p n 接合と前記第 2 の p n 接合との間の半導体領域に、電気絶縁膜を介して対向する前記バイポーラ半導体素子の電流通路となる第 1 の電極、及び

前記一方の半導体領域に接続された第 2 の電極を少なくとも有し、

前記第 1 の p n 接合を含む半導体領域に空乏層が生じるように前記第 1 の電極と前記半導体領域間に電圧を印加したとき、前記第 1 の電極が、前記電気絶縁膜を介して前記第 1 の p n 接合と第 2 の p n 接合との間の前記半導体領域に与える電界効果により、前記第 1 の p n 接合と第 2 の p n 接合とを電氣的接続状態にすることを特徴とするワイドギャップ半導体装置。

**【請求項 3】**

第 1 の導電型の半導体層と第 1 の p n 接合を形成する第 2 の導電型の半導体層がメサ型であり、

前記第 1 の導電型の半導体層内に第 1 の p n 接合から離隔して形成された第 2 の導電型の電界緩和層、

前記第 1 の p n 接合と前記電界緩和層との間の半導体層に電気絶縁膜を介して対向し、前記メサ型の半導体層に接続された第 1 の電極、及び

前記第 1 の導電型の半導体層に接続された第 2 の電極  
を有する請求項 1 又は 2 記載のワイドギャップ半導体装置。

**【請求項 4】**

第 1 の導電型の半導体層と第 1 の p n 接合を形成する第 2 の導電型の半導体層がプレーナ型であり、

前記第 1 の導電型の半導体層内に第 1 の p n 接合から離隔して形成された第 2 の導電型の電界緩和層、

前記第 1 の p n 接合と前記電界緩和層との間の半導体層に電気絶縁膜を介して対向し、前記プレーナ型の半導体層に接続された第 1 の電極、及び

前記第 1 の導電型の半導体層に接続された第 2 の電極  
を有する請求項 1 又は 2 記載のワイドギャップ半導体装置。

**【請求項 5】**

バイポーラ半導体素子として動作する p 型及び n 型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する第 1 の p n 接合、

前記第 1 の p n 接合の端部から離隔して前記第 1 の p n 接合を形成する第 2 の半導体領域内に設けられ、前記第 2 の半導体領域と異なる導電型を有して第 2 の p n 接合を形成す

る電界緩和層、

前記第1のpn接合を形成する第1の半導体領域上に形成された、少なくとも1つの前記第1の半導体領域と異なる導電型の第3の半導体領域、

前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の第2の半導体領域に、電気絶縁膜を介して対向する第1の電極、

前記第1のpn接合を形成する前記第1の半導体領域に電氣的に接続された第2の電極

、前記第2の半導体領域の、前記第1のpn接合を有する面の対向面に設けた、前記第2の半導体領域と異なる導電型の第4の半導体領域、及び

前記第4の半導体領域に設けた第3の電極

を有するワイドギャップ半導体装置。

【請求項6】

バイポーラ半導体素子として動作するp型、及びn型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する少なくとも2つの第1のpn接合、

前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第1の半導体領域内に設けられ、前記第1の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層、

前記第1のpn接合を形成する一方の第2の半導体領域に形成された、少なくとも1つの前記第2の半導体領域と異なる導電型の第3の半導体領域、

前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向する第1の電極、

前記第1のpn接合を形成する他方の第4の半導体領域に電氣的に接続された第2の電極、

前記少なくとも2つの第1のpn接合の間の半導体領域に、絶縁膜を介して対向する第3の電極、及び

前記第4の半導体領域に接続された第4の電極

を有するワイドギャップ半導体装置。

【請求項7】

前記第1の電極と、前記第1の電極に電氣的に接続される半導体領域との間に設けたオーミックコンタクト層を更に有し、

前記絶縁膜を、前記オーミックコンタクト層の端部に対して所定の隙間を保って前記半導体領域の面に設けたことを特徴とする、請求項1から6のいずれかに記載のワイドギャップ半導体装置。

【請求項8】

前記第1の電極は、前記隙間に入り込むように形成された凸部を有することを特徴とする請求項7記載のワイドギャップ半導体装置。

【請求項9】

前記第1のpn接合と前記第2のpn接合との間の半導体領域に電気絶縁膜を介して対向する前記第1の電極は、前記第2のpn接合を形成する電界緩和層に電気絶縁膜を介して所定の距離だけ重なるように延在していることを特徴とする請求項1から8のいずれかに記載のワイドギャップ半導体装置。

【請求項10】

前記隙間に、オーミックコンタクト層の金属材料と反応しにくい物質の挿入物を設けたことを特徴とする請求項7記載のワイドギャップ半導体装置。

【請求項11】

バイポーラ半導体素子として動作するp型、及びn型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する少なくとも2つの第1のpn接合、

前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第1の半導体領域内に設けられ、前記第1の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層、

前記第 1 の p n 接合を形成する一方の第 2 の半導体領域に形成された、少なくとも 1 つの前記第 2 の半導体領域と異なる導電型の第 3 の半導体領域、

前記第 3 の半導体領域に電氣的に接続され、端部が前記第 1 の p n 接合と前記第 2 の p n 接合との間の半導体領域に、電気絶縁膜を介して対向する第 1 の電極、

前記第 1 の p n 接合を形成する他方の第 4 の半導体領域に電氣的に接続された第 2 の電極、

前記少なくとも 2 つの第 1 の p n 接合の間の半導体領域に、絶縁膜を介して対向する第 3 の電極、及び

前記第 4 の半導体領域に接続された第 4 の電極

を有するワイドギャップ半導体装置

を制御素子として備える電力装置。

【書類名】 明細書

【発明の名称】 高耐圧ワイドギャップ半導体装置及び電力装置

【技術分野】

【0001】

本発明は、ワイドギャップ半導体装置に関し、特に高い耐電圧を有する高耐圧ワイドギャップ半導体装置及びこれを有する電力装置に関する。

【背景技術】

【0002】

炭化珪素 (SiC) などのワイドギャップ半導体材料は、シリコン (Si) に比べて絶縁破壊電界強度が約 10 倍高い等の優れた特性を有していることから、高い耐電圧特性を有する高耐圧パワー半導体素子に好適な材料として注目されている。

ワイドギャップ半導体材料を用いた pin ダイオード、バイポーラトランジスタ、GTO などのバイポーラ半導体素子は、ショットキーダイオードや MOSFET などのユニポーラ半導体素子に比べるとビルトイン電圧が高い。しかし少数キャリアの注入によるドリフト層の伝導度変調によりオン抵抗が大幅に小さくなるので損失が少ない。このため電力用途などの高電圧大電流を扱う用途では、損失を小さくするためバイポーラ半導体素子が多く用いられている。SiC のバイポーラ半導体素子を Si のバイポーラ半導体素子と比べると、例えば、SiC の pin ダイオードは、10 kV の高耐圧素子の場合、順方向電圧が Si の pin ダイオードの約 1/3 であり、ターンオフ時の速度に相当する逆回復時間は約 1/20 以下と高速である。これらの点から SiC の pin ダイオードの電力損失は Si の約 1/5 以下に低減され、省エネルギー化に大きく貢献できる。SiC-pin ダイオード以外にも、SiC-npn トランジスタ、SiC-SIAFET、SiC-SIJFET、SiC-IGBT などが開発されており、それぞれ電力損失低減効果が大きいことが報告されている (例えば非特許文献 1)。また、ドリフト層として pin ダイオードとは反対極性の p 型半導体層を用いた SiC-GTO など開発されている (例えば非特許文献 2)。

【0003】

SiC のバイポーラ半導体素子においては、高耐圧を実現するために、バイポーラ半導体素子を通る電流の主たる経路となる活性領域を形成する pn 接合 (以下、主接合という) の端部における電界集中を緩和する必要がある。この電界集中を緩和するため従来の SiC のバイポーラ半導体素子では、主接合の端部に接するように電界緩和領域や電界緩和層を設けている。電界緩和層を有する従来の SiC-pin ダイオードについて図 7 を参照して説明する。

図 7 は非特許文献 3 に示されているプレーナ型の高耐圧 pin ダイオードの断面図である。図において、下面にアノード電極 101 を有する p<sup>+</sup> 型 SiC 半導体の基板 103 (アノード領域) の上面に、p<sup>-</sup> 型 SiC 半導体のエピタキシャル成長によりドリフト層 105 を形成している。ドリフト層 105 の中央部分にイオン打込みにより n<sup>+</sup> 型 SiC 半導体のカソード領域 109 を形成している。カソード領域 109 の端部 112 にそれぞれ接するように、電界緩和層として働く n 型 SiC 半導体の JTE (Junction Termination Extension) 層 107 が設けられている。カソード領域 109 とドリフト層 105 との接合部が主接合 110 である。カソード領域 109 に接してカソード電極 113 が設けられ、残る表面には表面保護膜 111 が設けられている。JTE 層 107 はカソード領域 109 よりも低不純物濃度にするのが望ましく、同濃度の場合は厚さをカソード領域 109 より厚くしている。

この pin ダイオードに逆方向電圧を印加すると、JTE 層 107 の接合端部 106 に電界が集中するが、JTE 層 107 は主接合 110 の端部 112 に比べると低濃度もしくは厚くなされているので電界の集中が抑制され、電界の値を低くおさえることができる。これにより接合端部 106 の電界の値が絶縁破壊電界に達する印加電圧を高くすることができるので高耐圧にできる。

【0004】

別の方法として、当技術分野で RESURF (Reduced surface field) と呼ばれている電界緩和層も用いられる。これは JTE 層 107 よりも更に低濃度にした層を主接合 110 の端部に設け、逆電圧が印加されると RESURF 内部にも空乏層が広がるようにしたものである。耐圧に近い逆電圧が印加されると RESURF はほぼ完全に空乏化し、RESURF 内部の電界がほぼ均等になって印加電圧を分担する。これにより主接合 110 及びその近傍の電界集中を緩和し高耐圧を実現している。

【非特許文献 1】松波弘之編著、「半導体 SiC 技術と応用」、日刊工業新聞社、2003 年 3 月 31 日、218-221 頁

【非特許文献 2】A.K. Agarwal et.al、Materials Science Forum, Volume 389-393、2002 年、1349-1352 頁

【非特許文献 3】K. Chatty et.al、Materials Science Forum, Volume 338-342、2000 年、1331-1334 頁

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0005】

前記従来の構成のようなワイドギャップバイポーラ半導体素子には、2002 年発刊のマテリアルズサイエンスフォーラム 389-393 巻、第 1259-1264 頁で報告されているように、通電時間（使用時間）の増大にともなう順方向電圧が増大するという劣化現象がある。以下、この現象を「順方向電圧劣化現象」と呼ぶ。順方向電圧劣化現象は、基板 103 からドリフト層 105 に伝搬するベールプレーン転位と呼ばれる結晶の転位による線状の結晶欠陥が根本原因とされている。この転位を起点として積層欠陥と呼ばれる多数の面状の欠陥が発生する。この積層欠陥は電子と正孔を再結合させやすいので、結果的にドリフト層 105 の抵抗を高くし順方向電圧を増大させる。積層欠陥は、この再結合時に放出されるエネルギー、順方向電流により生ずる熱に刺激されてドリフト層 105 内に広がるように成長する。カソード領域 109 及び JTE 層 107 はイオン打ち込みで形成されているために、ドリフト層 105 との接合部に多くの結晶欠陥が存在する。

発明者は以下の点に注目した。順方向電流はカソード領域 109 を流れるがその一部は JTE 層 107 をも経てドリフト層 105 に流れる。このとき上記のように基板 103 とドリフト層 105 のベールプレーン転位を起点とする積層欠陥が生成され拡大するだけでなく、この結晶欠陥を源にしてカソード領域 109 及び JTE 層 107 の下方のドリフト層 105 に積層欠陥が拡大し劣化が進行する。JTE 層 107 の下方のドリフト層 105 内に拡大した積層欠陥は、カソード領域 109 と基板 103 との間のドリフト層 105 内にも進入してゆき、ドリフト層 105 全域に積層欠陥を拡大させるとともに積層欠陥の密度を増加させる。積層欠陥の密度が増大して順方向電圧が増大すると、ダイオード内部での発生熱が増大するので益々積層欠陥の成長が促進される。

#### 【0006】

例えば、耐圧 5 kV の SiC-pin ダイオードの場合、新品のときは順方向電流密度  $100 \text{ A/cm}^2$  の順方向電圧が 3.5 V だったものが、電流密度  $100 \text{ A/cm}^2$  で 1 時間通電した後では 20 V に増大してしまう。通電時間を更に長くすると、順方向電圧の増大の度合は飽和傾向を示すが、それでも徐々に増大する。順方向電圧の増大により pin ダイオードの内部で発生する電力損失が著しく増大し、それによる発熱により素子が破壊してしまう場合がある。このように SiC 等のワイドギャップバイポーラ半導体素子は Si の半導体素子に比べて大変優れた初期特性を有しているにもかかわらず劣化がはやくて信頼性が著しく低い。従って、電力損失が少なく長時間の運転が可能な信頼性の高いインバータ等の電力変換装置をワイドギャップバイポーラ半導体素子を用いて実現することが困難であった。

#### 【0007】

図 7 の従来例に示すような、主接合 110 の端部 112 に電界緩和層の JTE 層 107 が接して設けられた従来の高耐圧半導体素子は、高耐圧を実現する点では効果がある。し



かし前記のように JTE 層 107 の下方に生じる欠陥により順方向電圧劣化現象が生じる点では好ましくない。図 7 に示す pin ダイオードに順方向の電圧を印加した場合、順方向電流は主接合 110 のみを通して流れるのではなく、カソード領域 109、電界緩和層の JTE 層 107、及びその下のドリフト領域 105 をも通って流れる。このために JTE 層 107 の下方のドリフト層 105 内でも積層欠陥が発生し、これが成長拡大するため更に順方向電圧劣化が促進される。JTE 層 107 は主接合 110 の周囲に形成されるので比較的大きな面積を占める。主接合 110 の面積に比べて JTE 層 107 の面積が相対的に大きい場合、順方向電圧劣化へ与える影響は大きくなる。また、耐圧が高い pin ダイオードほどドリフト層 105 が厚いので、JTE 層 107 の下部の欠陥が起点になって発生した積層欠陥が主接合 110 の下方のドリフト層 105 内にも侵入してゆき、順方向電圧劣化を更に加速させるおそれがある。

SiC 等のワイドギャップバイポーラ半導体の基板は通常その表面が結晶面に対して所定の角度を持つように形成される。この角度は当技術分野ではオフ角と呼ばれ通常 15 度以下である。オフ角を設けることにより、基板表面にドリフト層などをエピタキシャル成長で形成する場合、表面に局部的に基板とは異なる結晶面の領域が成長するのを防ぐことができ、成長層に発生する結晶欠陥を減らすことができる。しかしオフ角を有する基板を用いると、上記のベールプレーン転位と呼ばれる線欠陥は基板表面に対してオフ角と同じ角度をもってドリフト層等のエピタキシャル成長層内に形成されて伝搬する。またこれを基点に積層欠陥と呼ばれる面欠陥が発生する。従って、積層欠陥は素子表面と基板間を流れる電流を斜めに遮る 2 次元の面上に存在することになり順方向電圧劣化を大きくする。

一方、オフ角を 90 度にした場合は線欠陥は基板表面に垂直な方向にエピタキシャル成長層内に形成されて伝搬する。またこれを基点に発生する積層欠陥と呼ばれる面欠陥は素子表面と基板間を流れる電流に平行に存在することになる。このため、電流を斜めに遮るオフ角を持った積層欠陥に比べると電流の流れを遮る程度が軽微である。しかし、電子や正孔は結晶内をブラウン運動をしながら流れているので、基板に垂直な積層欠陥でも電子と正孔の再結合が発生し順方向電圧の劣化を生じる。

本発明は、上記の点を解消し、高耐圧ワイドギャップ半導体素子の順方向電圧劣化を低減し長寿命で信頼性の高い半導体装置を提供することを目的とする。

#### 【課題を解決するための手段】

##### 【0008】

本発明のワイドギャップ半導体装置は、バイポーラ半導体素子として動作する p 型及び n 型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する第 1 の pn 接合、前記第 1 の pn 接合の端部から離隔して前記半導体領域の一方の半導体領域内に設けられ、前記一方の半導体領域内で周囲の半導体領域の導電型とは異なる導電型を有し、前記周囲の半導体領域との間に第 2 の pn 接合を形成する電界緩和層、前記第 1 の pn 接合を形成する他方の半導体領域に電気的に接続されるとともに、前記第 1 の pn 接合と前記第 2 の pn 接合との間の半導体領域に、電気絶縁膜を介して対向する前記バイポーラ半導体素子の電流通路となる第 1 の電極、及び前記一方の半導体領域に設けられた第 2 の電極を有する。

本発明によると、電界緩和層を第 1 の pn 接合から離隔して形成しているので、順方向電流は第 1 の pn 接合のみを通して流れ、電界緩和層と第 2 の pn 接合とを流れる電流はほとんどない。そのため順方向電流による積層欠陥は、第 1 の pn 接合に対向する半導体領域内の順方向電流が流れる領域に形成され、電界緩和層に対向する半導体領域内には積層欠陥がほとんど発生しない。そのため第 1 の pn 接合に対向する半導体領域内の積層欠陥の成長拡大が抑制され半導体素子の劣化が少ない。

また第 1 の pn 接合を形成する半導体領域に電気的に接続される第 1 の電極を、前記第 1 の pn 接合と前記電界緩和層との間の半導体領域に絶縁膜を介して対向するように構成しているので、前記第 1 の電極に逆電圧を印加したとき、電界効果により前記第 1 の pn 接合の端部と電界緩和層との間の半導体領域に前記印加電圧の極性とは逆極性の電荷、す

なわち電子又は正孔が集まる。その結果前記第1のpn接合と前記第2のpn接合とが電氣的に接続された状態となり、高耐圧を実現できる。これにより高耐電圧特性を有しかつ長寿命のワイドギャップ半導体装置を実現できる。

#### 【0009】

本発明の他の観点のワイドギャップ半導体装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する第1のpn接合、前記第1のpn接合の端部から離隔して前記半導体領域の一方の半導体領域内に設けられ、前記一方の半導体領域内で周囲の半導体領域の導電型とは異なる導電型を有し、前記周囲の半導体領域との間に第2のpn接合を形成する電界緩和層、前記第1のpn接合を形成する他方の半導体領域に電氣的に接続されるとともに、前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向する前記バイポーラ半導体素子の電流通路となる第1の電極、及び前記一方の半導体領域に設けられた第2の電極を有し、前記第1のpn接合を含む半導体領域に空乏層が生じるように前記電極と前記半導体領域間に電圧を印加したとき、前記電極が、前記電気絶縁膜を介して前記第1のpn接合と第2のpn接合との間の前記半導体領域に与える電界効果により、前記第1のpn接合と第2のpn接合とを電氣的接続状態にすることを特徴とする。

本発明によると、電界緩和層を第1のpn接合から離隔して形成しているので、順方向電流は第1のpn接合のみを通して流れ、電界緩和層と第2のpn接合とを通して流れる電流はほとんどない。そのため順方向電流による積層欠陥は第1のpn接合に対向する半導体領域内の順方向電流が流れる領域に形成され、電界緩和層に対向する半導体領域内には積層欠陥がほとんど発生しない。そのため第1のpn接合に対向する半導体領域内の積層欠陥の成長拡大が抑制され半導体素子の劣化が少ない。

また第1のpn接合を形成する半導体領域に電氣的に接続される電極を、前記第1のpn接合と前記電界緩和層との間の半導体領域に絶縁膜を介して対向するように構成しているので、前記電極に逆電圧を印加したとき、電界効果により前記第1のpn接合の端部と電界緩和層との間の半導体領域に前記印加電圧の極性とは逆極性の電荷、すなわち電子又は正孔が集まる。その結果前記第1のpn接合と前記第2のpn接合とが電氣的に接続された状態となり、高耐圧が実現できる。第1のpn接合と第2のpn接合を含む半導体領域に空乏層が広がるので、第1のpn接合の端部への電界集中が回避され、前記電界緩和層が前記第1のpn接合の端部に接している構成と同等の電界緩和効果が得られる。これにより高耐電圧特性を有しかつ長寿命のワイドギャップ半導体装置を実現できる。

#### 【0010】

本発明の他の観点のワイドギャップ半導体装置は、第1の導電型の半導体層と第1のpn接合を形成する第2の導電型のメサ型の半導体層、前記第1の導電型の半導体層内に第1のpn接合から離隔して形成された第2の導電型の電界緩和層、前記第1のpn接合と前記電界緩和層との間の半導体層に電気絶縁膜を介して対向し、前記メサ型の半導体層に接続された第1の電極、及び前記第1の導電型の半導体層に設けられた第2の電極を有する。

本発明によれば、メサ型の半導体装置において、第1の電極が電気絶縁膜を介して第1のpn接合と電界緩和層との間の半導体層に与える電界効果により、半導体装置の逆バイアス時には第1のpn接合と電界緩和層とを電氣的に接続し、順バイアス時には両者を電氣的に離隔する。これにより順方向電流が電界緩和層を経て流れないようにし、高耐圧特性を損ねることなく順方向電圧特性劣化を低減し、高耐圧と高信頼性を共に実現できる。

本発明の他の観点のワイドギャップ半導体装置は、第1の導電型の半導体層と第1のpn接合を形成する第2の導電型のプレーナ型の半導体層、前記第1の導電型の半導体層内に第1のpn接合から離隔して形成された第2の導電型の電界緩和層、前記第1のpn接合と前記電界緩和層との間の半導体層に電気絶縁膜を介して対向し、前記プレーナ型の半導体層に接続された第1の電極、及び前記第1の導電型の半導体層に接続された第2の電極を有する。

本発明によれば、プレーナ型の半導体装置において、第1の電極が電気絶縁膜を介して

第1のpn接合と電界緩和層との間の半導体層に与える電界効果により、半導体装置の逆バイアス時には第1pn接合と電界緩和層とを電氣的に接続し、順バイアス時には両者を電氣的に離隔する。これにより順方向電流が電界緩和層を経て流れないようにし、高耐圧特性を損ねることなく順方向電圧特性劣化を低減し、高耐圧と高信頼性を共に実現できる。

#### 【0011】

本発明の他の観点のワイドギャップ半導体装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する第1のpn接合、前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第2の半導体領域内に設けられ、前記第2の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層、前記第1のpn接合を形成する前記第1の半導体領域上に形成された、少なくとも1つの前記第1の半導体領域と異なる導電型の第3の半導体領域、前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の第2の半導体領域に、電気絶縁膜を介して対向する第1の電極、前記第1のpn接合を形成する第1の半導体領域に電氣的に接続された第2の電極、前記第2の半導体領域の、前記第1のpn接合を有する面の対向面に設けた、前記第2の半導体領域と異なる導電型の第4の半導体領域、及び前記第4の半導体領域に設けた第3の電極を有する。

本発明によれば、ワイドギャップ半導体装置に、高い順バイアス電圧が印加されたときには、電気絶縁膜を介して第1の電極が、第1のpn接合と第2のpn接合との間の第2の半導体領域に与える電界効果により、第1のpn接合と第2のpn接合を電氣的に接続し、低い順バイアス電圧が印加されたときには、両者間は電氣的に離隔する。これにより電界緩和層を経て電流が流れないようにする。その結果、高耐圧を保ちつつ、順方向電圧劣化、オンゲート電流特性及び可制御電流特性の劣化を低減し、高耐圧と高信頼性をともに実現できる。

#### 【0012】

本発明の他の観点のワイドギャップ半導体装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有し前記半導体領域に電流路を形成する少なくとも2つの第1のpn接合、前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第1の半導体領域内に設けられ、前記第1の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層、前記第1のpn接合を形成する一方の第2の半導体領域に形成された、少なくとも1つの前記第2の半導体領域と異なる導電型の第3の半導体領域、前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の半導体領域に電気絶縁膜を介して対向する第1の電極、前記第1のpn接合を形成する他方の第4の半導体領域に電氣的に接続された第2の電極、前記少なくとも2つの第1のpn接合の間の半導体領域に絶縁膜を介して対向する第3の電極、及び前記第4の半導体領域に設けられた第4の電極を有する。

本発明によれば、ワイドギャップ半導体装置の順バイアス電圧が高いときは、第1の電極が、電気絶縁膜を介して第1のpn接合と第2のpn接合との間の半導体領域に与える電界効果により、第1のpn接合と第2のpn接合とを電氣的に接続し、順バイアス電圧が低いときには両者間を電氣的に離隔して電界緩和層を経て電流が流れないようにする。これにより、高耐圧を保ちつつ順方向電圧劣化を低減して、電力損失の増大を抑制できるとともに高耐圧と高信頼性をともに有する半導体装置を実現できる。

本発明の電力装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有し前記半導体領域に電流路を形成する少なくとも2つの第1のpn接合、前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第1の半導体領域内に設けられ、前記第1の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層、前記第1のpn接合を形成する一方の第2の半導体領域に形成された、少なくとも1つの前記第2の半導体領域と異なる導電型の第3の半導体領域、前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向する第1の電極、前記第1のpn接合を形成する他方

の第4の半導体領域に電氣的に接続された第2の電極、前記少なくとも2つの第1のpn接合の間の半導体領域に、絶縁膜を介して対向する第3の電極、及び前記第4の半導体領域に接続された第4の電極を有する、ワイドギャップ半導体装置を制御素子として備える。

本発明によれば、ワイドギャップ半導体装置の順バイアス電圧が高いときは、第1の電極が、電気絶縁膜を介して第1のpn接合と第2のpn接合との間の半導体領域に与える電界効果により、第1のpn接合と第2のpn接合とを電氣的に接続し、順バイアス電圧が低いときには両者間を電氣的に離隔して電界緩和層を経て電流が流れないようにする。これにより、高耐圧を保ちつつ順方向電圧劣化を低減して、電力損失の増大を抑制できるので、本発明のワイドギャップ半導体装置を備える電力装置では、電力損失を抑制でき高耐圧と高信頼性をともに実現できる。

#### 【発明の効果】

##### 【0013】

本発明によれば、ワイドギャップ半導体装置に順方向電流が流れているときに生じる積層欠陥が、主に半導体領域の順方向電流が流れる部分に形成されるので、積層欠陥の成長拡大が抑制され、積層欠陥の増大による順方向電圧の上昇を抑制することができる。

#### 【発明を実施するための最良の形態】

##### 【0014】

以下本発明の高耐圧ワイドギャップ半導体装置及び電力装置の好適な実施例を図1から図6を参照して説明する。各実施例の高耐圧ワイドギャップ半導体装置は、図示を省略したが平面図が円形、四角形、長方形などである。

##### 【0015】

#### 《第1実施例》

図1は本発明の第1実施例の高耐圧ワイドギャップ半導体装置である、メサ構造のSiC-pin接合ダイオードの断面図である。図において、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $400 \mu\text{m}$ のカソードとして働く $n^+$ 型SiC半導体の基板11上に、不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 、厚さが $75 \mu\text{m}$ の $n^-$ 型SiC半導体のドリフト層12をエピタキシャル成長技術で形成している。基板11の下面には、電氣的接続状態を良好に保つためのオーミックコンタクト層10を介して、金や銅等によるカソード電極19（第2の電極）が設けられている。ドリフト層12の上に不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1.5 \mu\text{m}$ の $p^+$ 型SiC半導体のアノード層13と、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $0.2 \mu\text{m}$ の $p^+$ 型SiC半導体のコンタクト層14を順次エピタキシャル成長技術で形成している。ドリフト層12とアノード層13との間に接合2（第1のpn接合）が形成される。

##### 【0016】

次に素子表面の中央部を残してエッチングしメサ構造にする。メサの高さは約 $2 \mu\text{m}$ である。エッチングにより露出したドリフト層12に、アノード層13の両端部からそれぞれ約 $3 \mu\text{m}$ 離して、不純物濃度が $3.5 \times 10^{17} \text{ cm}^{-3}$ 、厚さが $0.7 \mu\text{m}$ 、左右方向の長さが約 $150 \mu\text{m}$ のp型SiC半導体の、電界緩和層であるJTE（Junction Termination Extension）層15をイオン打ち込み技術で形成している。JTE層15をアノード層13の両端部から離す、前記 $3 \mu\text{m}$ の距離は、約 $0.5 \mu\text{m}$ でも特に問題はなかった。これにより峡間部12aが形成される。JTE層15とドリフト層12との間に接合4（第2のpn接合）が形成される。更にJTE層15から約 $30 \mu\text{m}$ 離して不純物濃度が $8 \times 10^{18} \text{ cm}^{-3}$ の $n^+$ 型SiC半導体のチャネルストッパ層16をイオン打ち込み技術で形成している。メサを囲む低部、メサ側面、メサ上面の両端部は厚さ約 $0.5 \mu\text{m}$ の表面保護用の2酸化シリコンの絶縁膜17で被覆してある。被覆界面の固定電荷密度は約 $1 \times 10^{12} \text{ cm}^{-2}$ である。コンタクト層14の上にオーミックコンタクト層8を介して金や銅等によるアノード電極18（第1の電極）が設けられている。オーミックコンタクト層8は、一般にチタンとニッケルを含む金属材料で形成される。本実施例のSiC-pinダイオードは、オーミックコンタクト層8の形成過程で $400^\circ\text{C} \sim 700^\circ\text{C}$

の高温度に加熱されることがある。上記の高温度に加熱されたとき、オーミックコンタクト層 8 が軟化して液状になり絶縁膜 17 とコンタクト層 14 との間の界面、及びアノード層 13 のメサ斜面と絶縁膜 17 との間の界面に侵入し障害を起こすことがある。本実施例では、オーミックコンタクト層 8 の両端部と絶縁層 17 との間に隙間を設けるとともに、その隙間にアノード電極 18 の凸部 18a を挿入して、オーミックコンタクト層 8 が絶縁膜 17 に接触しないように構成している。凸部 18a は直接コンタクト層 14 に接している。アノード電極 18 に凸部 18a を設ける代わりに、図 6 に示すようにこの隙間にストッパー 3 と呼ばれる挿入物を設けてもよい。ストッパー 3 の材料は、オーミックコンタクト層 8 の金属材料と反応しにくい物質、例えば窒化アルミニウム、ポリイミド樹脂などの高耐熱の絶縁物、又はアルミニウム等のアノード電極 18 と異なる金属を用いることができる。

アノード電極 18 は絶縁膜 17 の上にも形成され、その外周部又は端部は JTE 層 15 の内側端から約  $10\mu\text{m}$  の位置まで JTE 層 15 の上に延在している。すなわちアノード電極 18 の両端部は絶縁膜 17 を介して JTE 層 15 に重なって対向している。第 1 の pn 接合である接合 2 はドリフト層 12 とアノード層 13 との間に形成される。この SiC-pin 接合ダイオードをキャンタイプのパッケージに実装して絶縁樹脂で被覆し、不活性ガスを封入して半導体装置を構成する。

#### 【0017】

上記のように構成した本実施例の SiC-pin 接合ダイオードのアノード電極 18 とカソード電極 19 間に逆電圧を印加して（以下、逆バイアスという）耐圧を測定したところ約  $6750\text{V}$  であった。この耐圧は、アノード層 13 に JTE 層 15 が接するように構成した従来構造の同サイズのダイオードの耐圧とはほぼ同じであった。これは以下の理由によるものであることを発明者は確認した。すなわち、本実施例の SiC-pin 接合ダイオードを逆バイアスすると、アノード電極 18 がドリフト層 12 に対して低電位になる。そのため絶縁膜 17 を介してアノード電極 18 の両端部から与えられる電界効果により、アノード層 13 と JTE 層 15 との間のドリフト層 12（第 1 の pn 接合と第 2 の pn 接合との間）の峽間部 12a と呼ぶ部分に「+」で示す多数の正孔が誘起される。正孔の密度は絶縁膜 17 に近い表面近傍で高い。その結果峽間部 12a の、絶縁膜 17 に近い表面近傍では n 型の SiC 半導体が p 型の SiC 半導体に反転するので、アノード層 13 に JTE 層 15 を接して設けた従来の構成と実質的に同等になる。峽間部 12a の絶縁膜 17 から遠い部分は空乏化する。峽間部 12a の前記表面近傍の n 型 SiC 半導体層を p 型 SiC 半導体層に反転させるに十分なアノード電極 18 の印加電圧は、接合 2 がなだれ降伏する降伏電圧よりも低い電圧であることが必要である。前記印加電圧を降伏電圧より低くするためには、絶縁膜 17 の材質や厚さを変えたり、絶縁膜 17 のイオン量を変えて電荷を調節したりして絶縁膜 17 と SiC 半導体層の界面の固定電荷を調節する必要がある。アノード電極 18 による前記の電界効果を確かめるため、発明者は、アノード電極 18 が図 1 に点線 6 で示す位置までしかなく、峽間部 12a 及び JTE 層 15 の端部に対向していない pin ダイオードを試作して試験をした。その結果、耐圧は  $4600\text{V}$  であり前記の  $6750\text{V}$  よりも約  $2150\text{V}$  低かった。

#### 【0018】

本実施例の新品の SiC-pin 接合ダイオードに順方向の電圧を印加し（以下、順バイアスという） $100\text{A}/\text{cm}^2$  の電流密度で 1 時間通電したところ、通電開始直後には  $4.1\text{V}$  であった順方向電圧が、1 時間通電後には約  $4.9\text{V}$  になった。更に通電時間を長くすると、順方向電圧の増加は飽和傾向を示し、その後はわずかながら徐々に増加する。順バイアス時にはアノード電極 18 がドリフト層 12 に対して高電位になるので、アノード電極 18 による電界効果によりドリフト層 12 の峽間部 12a には正孔ではなく電子が誘起される。そのためアノード層 13 と JTE 層 15 は電氣的に完全に分離される。その結果順方向電流はアノード層 13 の接合 2 のみを通して流れ、JTE 層 15 とドリフト層 12 の接合 4（第 2 の pn 接合）を通して流れることはない。

アノード電極 18 の両端部の、JTE 層 15 と重なって対向する部分の長さを長くし過

ぎると、アノード電極18の端部とJTE層15との間の電位差が大きくなり、絶縁膜17が絶縁破壊を起こすおそれがある。そこで、接合2がなだれ降伏を起こす電圧に近い電圧を前記アノード電極18に印加してもアノード電極18が接する絶縁膜17が絶縁破壊しないように、アノード電極18の長さを設定するのが望ましい。また別法としてアノード電極18の端部近傍の絶縁膜17の厚さを他の部分より厚くしてもよい。

本実施例のSiC-pin接合ダイオードにおいても順方向電流が流れると、接合2と基板11との間のドリフト層12内で積層欠陥が生じ、順方向電圧劣化が進行する。この順方向電圧劣化により前記のように順方向電圧が4.1Vから4.9Vに上昇したものである。しかし、アノード層13にJTE層15を接して形成した従来構造のpin接合ダイオードの場合では、 $100\text{ A/cm}^2$ の電流密度で1時間通電したところ、順方向電圧は4.1Vから約8.4Vになり、本実施例のpin接合ダイオードに比べてより順方向電圧劣化が激しいことを示している。

#### 【0019】

以上のように、本実施例によれば、逆バイアス時には、SiC-pinダイオードの表面保護の絶縁膜17を介して作用するアノード電極18の電界効果により、接合2とJTE層15とが電氣的に接続される。また、順バイアス時には接合2とJTE層15とを電氣的に分離し、JTE層15とドリフト層12との接合4を通して順方向電流が流れないようにする。これにより、高耐圧特性を保ちつつ順方向電圧劣化を低減し、長寿命で高い信頼性を有するSiC-pin接合ダイオードが得られる。

#### 【0020】

##### 《第2実施例》

図2は本発明の第2実施例の半導体装置であるプレーナ構造のSiC-pin接合ダイオードの断面図である。図において、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $400 \mu\text{m}$ の、カソードとして働く $n^+$ 型SiCの基板21上に、不純物濃度が $5 \times 10^{14} \text{ cm}^{-3}$ 、厚さが $50 \mu\text{m}$ の $n$ 型SiCのドリフト層22をエピタキシャル成長技術で形成している。ドリフト層22の中央領域には、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $0.5 \mu\text{m}$ の $p^+$ 型SiCのアノード層23と、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $0.2 \mu\text{m}$ の $p^+$ 型SiCのコンタクト層24を順次イオン打ち込み技術で形成している。アノード層23とドリフト層22の間に接合20（第1のpn接合）が形成される。アノード層23の両端部からそれぞれ約 $5 \mu\text{m}$ 離隔して、不純物濃度が $8 \times 10^{17} \text{ cm}^{-3}$ 、厚さが $0.8 \mu\text{m}$ 、左右方向の長さが約 $25 \mu\text{m}$ の $p^-$ 型SiCのJTE層25をそれぞれ設けている。JTE層25をアノード層23の両端部から離す前記約 $5 \mu\text{m}$ の距離は、約 $22 \mu\text{m}$ でも特に問題はなかった。これにより峡間部22aが形成される。各JTE層25に連結して、不純物濃度が $2.0 \times 10^{16} \text{ cm}^{-3}$ 、厚さが $0.7 \mu\text{m}$ 、左右方向の長さが約 $75 \mu\text{m}$ の、電界緩和層として働く $p^-$ 型SiCのRESURF (Reduced surface field) 層26をイオン打ち込み技術で形成している。JTE層25及びRESURF層26と、ドリフト層22との間に接合20a（第2のpn接合）が形成される。RESURF層26から離れた両端部に、 $n^+$ 型SiCのチャネルストッパー層27をイオン打ち込み技術で形成している。コンタクト層24にオーミックコンタクト層28aを介してアノード電極28（第1の電極）が接続されている。図1に示す前記第1実施例と同様に、オーミックコンタクト層28aの両端部と、絶縁膜29との間には隙間が設けられている。その隙間に、アノード電極28の下面に突出した凸部28bが入り込んでオーミックコンタクト層28aと絶縁膜29を隔離している。前記アノード電極28の凸部28bの代わりに、前記隙間にストッパー（図示省略）を設けてもよい。素子の表面は、アノード電極28が接続される部分を除いて、厚さ約 $0.3 \mu\text{m}$ の酸化膜の絶縁膜29で被覆している。アノード電極28は絶縁膜29の上にも形成されており、その両端は、絶縁膜29を介してJTE層25に約 $5 \mu\text{m}$ 重なって対向するようになされている。カソード基板21の下面にはオーミックコンタクト層30a（第2の電極）を介してカソード電極30が設けられている。

#### 【0021】

このSiC-pin接合ダイオードをキャンタイプのパッケージに実装して絶縁樹脂で被覆し、不活性ガスを封入して半導体装置を構成する。

アノード電極28とカソード電極30間に逆電圧を印加し耐圧を測定したところ約4100Vであった。この耐圧はアノード層23にJTE層25が接している従来構造の同サイズのSiC-pin接合ダイオードの耐圧とほぼ同じである。これは以下の理由による。すなわち前記第1実施例と同様に、本実施例のSiC-pin接合ダイオードを逆バイアスしたとき、アノード電極28が、アノード層23とJTE層25の間の峽間部22aの表面近傍に絶縁膜29を介して与える電界効果により、峽間部22aのドリフト層22の表面近傍に「+」で示す正孔が誘起される。このためn型SiCのドリフト層22の表面近傍が部分的にp型SiCに反転し、アノード層23に接するようにJTE層25を形成した場合と実質的に同等になる。峽間部22aの表面から離れた部分では空乏化する。比較のためにアノード電極28の両端部をJTE層25の上方にまで延ばさない構成のSiC-pinダイオードを試作して試験したところ、耐圧が2600Vであり、前記の約4100Vより約1500V低かった。

#### 【0022】

本実施例の新品のSiC-pin接合ダイオードに順方向に100A/cm<sup>2</sup>の電流密度で1時間通電したところ、通電開始直後には4.6Vであった順方向電圧が1時間通電後には約5.2Vになったが、その増分は0.6Vで比較的小さいと言える。更に通電時間を長くすると、順方向電圧の増加は飽和傾向を示し、その後はわずかではあるが、徐々に増加する。

本実施例のSiC-pin接合ダイオードでは、順バイアス時にはアノード電極28がドリフト層22に対して高電位になるので、アノード電極28が絶縁膜29を介してドリフト層22に与える電界効果により、峽間部22aに電子が引き寄せられて集まる（図示省略）。その結果アノード層23とJTE層25は電氣的に完全に分離される。順方向電流はアノード層23を経て、アノード層23が接するドリフト層22の領域を通して流れ、アノード層23から電氣的に分離されたJTE層25及びRESURF層26には電流が流れない。そのため積層欠陥は主としてアノード層23と基板21との間のドリフト層22内に発生し、JTE層25及びRESURF層26と、基板21との間のドリフト層22内には積層欠陥がほとんど発生しない。従って1時間通電後の順方向電圧は上記の0.6V程度の比較的小さい増加にとどまっている。

本実施例のSiC-pin接合ダイオードと比較するために、従来構造の、アノード層23にJTE層25を接して形成したSiC-pin接合ダイオードに順方向に100A/cm<sup>2</sup>の電流密度で1時間通電したところ、順方向電圧は4.6Vから約10.6Vに大きく増大した。これはJTE層25がイオン打ち込みで形成されているためにドリフト層22との接合部に欠陥が多く存在し、この欠陥から通電時に積層欠陥が生長し、接合20aと基板21との間のドリフト層22に拡大するのみならず、アノード層23と基板21との間のドリフト層22にも浸入して欠陥密度が増大し順方向電圧劣化が進行したことによる。順方向電圧劣化の進行により順方向電圧が増大すると、pin接合ダイオード内部での発熱が増大し積層欠陥の成長が更に促進される。

#### 【0023】

本実施例によれば、プレーナ構造のSiC-pinダイオードのアノード電極28の端部から絶縁膜29を介してアノード層23とJTE層25の間のドリフト層22の峽間部22aに与える電界効果により、逆バイアス時には接合20とJTE層25を電氣的に接続する。また順バイアス時には、前記アノード層23とJTE層25とを峽間部22aで電氣的に切り離して、JTE層25を経て順方向電流が流れないようにしている。これにより、高耐圧を維持しつつ順方向電圧劣化による順方向電圧の上昇を抑制して信頼性の高い高耐圧pin接合ダイオードが得られる。

#### 【0024】

##### 《第3実施例》

図3は本発明の第3実施例の高耐圧ワイドギャップ半導体装置である、メサ構造のSi



C-GTOの断面図である。図において、下面にカソード電極31（第2の電極）を有する、 $n^+$ 型SiCのエミッタ領域を構成する基板32の上面に、p型SiCのバッファ領域33が形成されている。バッファ領域33の上に、 $p^-$ 型SiCのベース領域34が形成され、ベース領域34の中央領域にメサ型のn型SiCのベース層35が形成されている。ベース領域34とベース層35との間に接合30（第1のpn接合）が形成される。ベース層35には、4つのゲート電極40が設けられている。4つのゲート電極40は、図示しない部分で1つに接続されている。各ゲート電極40の間にp型SiCのエミッタ層36が形成されている。

$n^+$ 型SiCの基板32は不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $300 \mu\text{m}$ である。バッファ層33は不純物濃度が $3 \times 10^{17} \text{ cm}^{-3}$ 、厚さが $2.5 \mu\text{m}$ である。ベース領域34は不純物濃度が $5 \times 10^{13} \text{ cm}^{-3}$ 、厚さ $150 \mu\text{m}$ である。ベース層35は不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1.8 \mu\text{m}$ である。エミッタ層36は不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $1.5 \mu\text{m}$ である。ベース層35とエミッタ層36はいずれもエピタキシャル成長技術で形成している。ベース層35の端部はメサ状に整形されており、メサの高さは約 $3.7 \mu\text{m}$ である。メサを囲む低部にはベース層35の端部から約 $4.0 \mu\text{m}$ 離れて不純物濃度が $3.5 \times 10^{17} \text{ cm}^{-3}$ 、厚さが $0.7 \mu\text{m}$ 、長さが約 $250 \mu\text{m}$ のn型SiCの電界緩和層であるJTE層38がイオン打ち込み技術で形成されている。JTE層38とベース領域34との間に接合30a（第2のpn接合）が形成される。メサを囲む低部の面、メサの斜面及びメサの上面のエミッタ層36の上面中央部分を除く面は、厚さ約 $0.6 \mu\text{m}$ の表面保護用酸化膜である絶縁膜39で被覆している。各エミッタ層36に電氣的に接続されたアノード電極37（第1の電極）が前記絶縁膜39の上に設けられている。アノード電極37の端部は、メサの斜面及びJTE層38のメサの斜面側の端部の約 $15 \mu\text{m}$ の領域に絶縁膜39を介して対向するように延長されている。各JTE層38から離れた両端部に、 $p^+$ 型SiCのチャネルストップ層27が形成されている。

#### 【0025】

上記の構造のSiC-GTOをキャンタイプのパッケージに実装し、絶縁樹脂で約1mm程度の厚さで被覆したのち不活性ガスを封入して半導体装置を構成する。

本実施例のSiC-GTOにおいて、ゲート電極40をアノード電極37に接続して、アノード電極37とカソード電極31間に順方向の電圧を印加し耐圧を測定したところ、約13100Vであった。この耐圧はJTE層38をベース層35の端部に接するように構成した従来の構造のSiC-GTOの耐圧とはほぼ同じであった。本実施例のGTOでは上記のようにアノード電極37とカソード電極31間に順方向の電圧を印加し、順バイアス電圧が所定のしきい値を超えるとアノード電極37の両端部から絶縁膜39を介して与えられる電界効果により、ベース層35の端部とJTE層38との間の $p^-$ 型SiCのベース領域34aに「-」で表示するように電子が誘起される。そのため絶縁膜39に近い表面近傍がn型SiCに反転し、n型SiCのベース層35と $n^-$ 型SiCのJTE層38が、反転したn型SiCの領域で結合されたと同等の状態になる。絶縁膜39から遠い部分は空乏化する。そのためベース層35の端部での電界集中が緩和されて高い耐圧が得られる。

本実施例のGTOと比較するため、ベース層35とJTE層38との位置関係は本実施例と同じで、アノード電極37の端部が図3の点線37aの位置までしかないものを試作し、順方向の耐圧を測定したところ、7400Vであった。この耐圧は本実施例のGTOの耐圧13100Vより5700V低かった。この比較から、本実施例のGTOでアノード電極37をJTE層38に対向する位置まで延長することにより耐圧を大幅に高くできることが確認された。

#### 【0026】

本実施例のSiC-GTOのアノード電極37とカソード電極31間に順方向の電圧を印加し電流密度が約 $5 \text{ A/cm}^2$ のゲート電流をアノード電極37からゲート電極40に流すと、SiC-GTOはオンとなり順方向電流が流れる。順方向電流を $100 \text{ A/cm}$



2 の電流密度で 100 時間通電したところ、通電開始時には 4.6 V であった順方向電圧が 100 時間の通電後には約 5.3 V になった。更に通電時間を長くすると、順方向電圧の増加は飽和傾向を示し、その後はわずかながら徐々に増加する。このように順方向電圧の上昇が少ないのは、本実施例の SiC-GTO では、オン状態の順方向電圧が上記のように数 V 程度としきい値電圧より低く、従ってアノード電極 37 が絶縁膜 39 を介して与える電界効果により、ベース層 35 と JTE 層 38 の間のベース領域 34a が n 型に反転することはないからである。このためベース層 35 と JTE 層 38 は電氣的に接続されず、電流はベース層 35 のみを経て流れ、主としてベース層 35 と基板 32 との間のベース領域 34 において順方向電圧劣化が進行する。

図 3 に示すようにベース層 35 と JTE 層 38 との間にすき間を設けずに、両者を接して形成した SiC-GTO (従来の SiC-GTO) について図 3 を借りて説明すると、順方向電流はベース層 35 及び JTE 層 38 と、基板 32 との間のベース領域 34 のほぼ全域を流れる。JTE 層 38 はイオン打ち込み法で形成されるのでベース領域 34 との接合部 30a には多くの欠陥を有する。このように欠陥の多い接合部 30a を電流が流れると前記欠陥から積層欠陥が発生し、ベース層 35 と基板 32 で挟まれた部分のベース領域 34 にも拡大し侵入する。その結果ベース領域 34 の広範囲に順方向電圧劣化現象が生じて順方向電圧が上昇する。

この従来の GTO を試作して、電流密度  $100 \text{ A/cm}^2$  の順方向電流を 20 時間流す試験をした。その結果、通電直後 4.6 V であった順方向電圧が 20 時間後には 11.4 V に増大した。これは、接合 30a に多くの欠陥を有する JTE 層 38 の下部に生じた積層欠陥と、ベース領域 35 の下部に生じた積層欠陥とが相互に侵入し合って欠陥密度が増大し、順方向電圧劣化が進行したことによる。積層欠陥の密度が高くなると順方向電圧劣化が増大し、SiC-GTO 内部での発熱が増加して積層欠陥の成長が更に促進される。

このように従来の SiC-GTO はベース領域 34 内で積層欠陥が成長拡大するため、これによる電子と正孔の再結合が増加する。そのため SiC-GTO をターンオンさせるために必要なオンゲート電流も増大するという現象も発生した。

#### 【0027】

また、従来の SiC-GTO では積層欠陥が少ない使用初期には、GTO の素子内の各部分で比較的均等に電流が分布している状態でターンオフしている。しかし劣化の進行に伴って積層欠陥部分が成長拡大するので、GTO の素子内部でターンオフ時の電流分布が不均等になってしまう。このため、ターンオフ動作時に積層欠陥の存在しない箇所に残存電流が過度に集中して電流遮断に失敗し GTO 素子が破壊されることがある。破壊に至らない場合でもターンオフ可能な可制御電流が低くなってしまう。

本発明の SiC-GTO では積層欠陥の成長拡大が抑制されるので可制御電流が使用時間とともに低くなってゆくという劣化現象を抑えることができる。また、オンゲート電流が増加するという劣化現象を抑えることができる。

#### 【0028】

以上のように、本実施例によれば、SiC-GTO に高い順方向電圧を印加した時には、アノード電極による電界効果によりベース層 35 と JTE 層 38 を電氣的に接続するが、低い順方向電圧を印加した時には両者を電氣的に切り離して JTE 層 38 を経て電流が流れないようにしている。これにより、高耐圧を維持しつつ、順方向電圧やオンゲート電流の増加及び可制御電流の減少等の経時劣化を低減し、高信頼性と高耐圧を同時に有する GTO を実現することができた。

#### 【0029】

##### 《第 4 実施例》

図 4 は本発明の第 4 実施例の高耐圧ワイドギャップ半導体装置である、SiC-MOSFET の断面図である。図において、不純物濃度が  $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが  $350 \mu\text{m}$  の  $n^+$  型 SiC の、カソードとなる基板 41 上に、不純物濃度が  $9 \times 10^{14} \text{ cm}^{-3}$ 、厚さが  $40 \mu\text{m}$  の  $n^-$  型 SiC のドリフト層 42 をエピタキシャル成長技術で形成している。ドリフト層 42 の上面をメサ型に加工し、前記メサに不純物濃度が  $1 \times 10^{18}$

$\text{cm}^{-3}$ 、厚さが  $1.5\ \mu\text{m}$  の p 型 SiC の 4 つのボディ層 51、52、53、54 がイオン打ち込み技術で形成されている。ボディ層 51、52、53、54 と、ドリフト層 42 との間に接合 75a、75b (第 1 の pn 接合) が形成される。ボディ層 51 には不純物濃度が  $1 \times 10^{19}\ \text{cm}^{-3}$ 、厚さが  $0.6\ \mu\text{m}$  の  $\text{n}^+$  型 SiC の 2 つのソース層 61、62 がイオン打ち込み技術で形成されている。同様に、ボディ層 52 には 2 つのソース層 63、64 が形成されている。ボディ層 53、54 にはそれぞれソース層 65、66 が形成されている。ソース層 65、66 のそれぞれ約半分の面には、それぞれの第 1 の電極であるソース電極 73、74 が接している。ソース層 61 と 62 にまたがってそれぞれ約半分の面に接するように、ソース電極 71 が設けられており、ソース層 63 と 64 にまたがってそれぞれ約半分の面に接するように、ソース電極 72 が設けられている。ソース電極 71~74 とボディ層 51~54 との接続部を除くドリフト層 42 の面上に、薄い酸化膜によるゲート絶縁膜 91、92、93 が設けられている。ソース電極 71~74 は 1 つのソース端子 80 に接続されている。絶縁膜 91 の上には、両端部がそれぞれソース層 61、66 に対向するゲート電極 81 が設けられている。絶縁膜 92 の上には、両端部がそれぞれソース層 62、63 に対向するゲート電極 82 が設けられている。絶縁膜 93 の上には、両端部がそれぞれソース層 64、65 に対向するゲート電極 83 が設けられている。ゲート電極 81、82、83 は 1 つのゲート端子 90 に接続されている。メサの高さは約  $2\ \mu\text{m}$  である。メサの周囲の低部にはボディ層 53、54 からそれぞれ約  $6\ \mu\text{m}$  離して不純物濃度が  $3.5 \times 10^{17}\ \text{cm}^{-3}$ 、厚さが  $0.7\ \mu\text{m}$ 、左右方向の長さが約  $90\ \mu\text{m}$  の p 型 SiC の電界緩和層である JTE 層 48a、48b をそれぞれイオン打ち込み技術で形成している。JTE 層 48a、48b をボディ層 53、54 から離す前記  $6\ \mu\text{m}$  の距離は、約  $0.3\ \mu\text{m}$  でも特に問題はなかった。JTE 層 48a、48b と、ドリフト層 42 との間に接合 85 (第 2 の pn 接合) が形成される。更に JTE 層 48a、48b からそれぞれ約  $25\ \mu\text{m}$  離れて不純物濃度が  $8 \times 10^{18}\ \text{cm}^{-3}$  の  $\text{n}^+$  型 SiC のチャネルストッパー層 49a、49b をイオン打ち込み技術で形成している。JTE 層 48a、48b の上面を含むメサの周囲の低部、メサ側面 59a 及びメサ上面の一部はそれぞれ厚さがゲート絶縁膜 91~93 よりはるかに厚い、約  $0.25\ \mu\text{m}$  の酸化膜を含む絶縁膜 50a、50b で被覆してある。ソース電極 73、74 の端部はそれぞれ絶縁膜 50a、50b を介して JTE 層 48a、48b の端から約  $15\ \mu\text{m}$  の範囲に対向するように延長されている。カソード基板 41 の下面にはドレイン電極 79 が設けられている。

#### 【0030】

この SiC-MOSFET をキャンタイプのパッケージに実装し、絶縁樹脂で被覆した後不活性ガスを封入して半導体装置を構成する。

この半導体装置のソース端子 80 とドレイン端子 79 間に順方向の電圧を印加して耐圧を測定したところ約  $3650\ \text{V}$  であった。この耐圧はボディ層 53、54 にそれぞれ JTE 層 48a、48b を接して形成した従来構造の SiC-MOSFET の耐圧とほぼ同じであった。本実施例の SiC-MOSFET に順方向の電圧を印加したとき、ソース電極 73、74 はドリフト層 42 に対して低電位になる。そのため絶縁膜 50a、50b を介してソース電極 73、74 からボディ層 53 と JTE 層 48a の間のドリフト層部分 42a、及びボディ層 54 と JTE 層 48b の間のドリフト層部分 42b に与えられる電界効果によりドリフト層部分 42a、42b に「+」で表示した多数の正孔が誘起される。この正孔により  $\text{n}^-$  型 SiC のドリフト層部分 42a、42b の絶縁膜 50a、50b に近い表面近傍が p 型 SiC に反転し、ボディ層 53 と JTE 層 48a、及びボディ層 54 と JTE 層 48b がそれぞれ電氣的に接続されたと同等の状態になる。前記表面から遠い部分は空乏化する。その結果ドリフト層部分 42a、42b への電界集中が緩和されて高い耐圧が得られることになる。

#### 【0031】

本実施例の SiC-MOSFET と比較するために、図 4 の構成において、ソース電極 73、74 を、それぞれ図の点線 73a、74a から外側へは形成せず、ドリフト層部分 42a、42b に対向しないようにしたものを試作して試験をした。その結果ソース端子

80とドレイン端子79間に順方向に電圧を印加したときの耐圧は2300Vであった。この耐圧は本実施例のMOSFETの3650Vより1350V低い。

#### 【0032】

本実施例のSiC-MOSFETを用いて構成する電源装置としての3相のインバータについて以下に説明する。図5は直流電源96の直流を3相交流出力97に変換するインバータのよく知られた回路図である。6つのスイッチング素子98は、本実施例のSiC-MOSFETである。スイッチング素子98a、98b、98cのそれぞれのドレイン端子79は直流電源96の正端子に接続され、ソース端子80はスイッチング素子98d、98e、98fのドレイン端子79に接続されている。スイッチング素子98d、98e、98fのソース端子80は直流電源96の負端子に接続されている。ゲート端子90は図示を省略した既知の制御回路に接続される。スイッチング素子98a、98b、98cのそれぞれのソース端子80から3つの出力線97が導出されている。

#### 【0033】

本実施例の図4に示すSiC-MOSFETでは、ボディ層51～54と、ドリフト層42、ドレイン層41との間のpn接合で、pinダイオード（以下、内部ダイオードという）が構成されている。この内部ダイオードは、図5にダイオード99で示すように内部でMOSFETに実質的に逆並列に接続されている。従って内部ダイオードはフライホイールダイオードとして機能する。

図5に示すインバータが動作しているとき、前記制御回路の制御により、それぞれ所定のタイミングでスイッチング素子98a～98fが既知のオンオフ動作をする。その結果フライホイールダイオードとしてのダイオード99にそれぞれのタイミングで順方向電流が流れる。ダイオード99を順方向に流れる電流は、図4のSiC-MOSFETにおいては、ソース電極71～74、ボディ層51～54、接合75a、75b及びドレイン電極79で形成される内部ダイオードを通して、ソース端子80からドレイン電極79に向けて流れる。

図5に示すインバータを構成した本実施例のSiC-MOSFETにおいて、電流密度のピーク値が $100\text{ A/cm}^2$ になる状態で100時間動作させたところ、動作開始直後の順方向電圧4.4Vが、100時間通電後には4.9Vに増加し、わずかに順方向電圧劣化が生じた。この順方向電圧劣化は、インバータの動作時にフライホイールダイオードとして働くpinダイオード99、すなわち、図4の内部ダイオードを流れる電流によりドリフト層42内の内部ダイオードに積層欠陥が生じたことによる。

#### 【0034】

図4に示すSiC-MOSFETと類似の構成で、JTE層48aの左端を延長してボディ層53に接続しかつJTE層48bの右端を延長してボディ層54に接続した、従来の構成のものを試作して、図5と同じインバータを構成し本実施例の場合と同じ条件で順方向電圧を測定した。その結果、動作開始直後4.4Vであった順方向電圧が100時間の動作後は10.5Vに上昇した。この順方向電圧10.5Vは、本実施例のSiC-MOSFETの場合の前記4.9Vより5.6V大きかった。上記試作品の構成では、ボディ層53とJTE層48aが接続されかつボディ層54とJTE層48bが接続されているので、順方向電流は、ボディ層51～54及びJTE層48a及び48bと、基板41との間のドリフト層42を流れる。そのためイオン注入法で形成されて多くの結晶欠陥を有するJTE層48a、48bと、基板41との間のドリフト層42内で通電中発生した積層欠陥が内部ダイオードを含むドリフト層42全域に成長拡大し、順方向電圧劣化が進行する。これはインバータ動作時にフライホイールダイオードであるダイオード99を流れる電流により積層欠陥がドリフト層42内に成長拡大するとともに、上記のようにJTE層48a、48bを流れる電流による積層欠陥の成長拡大が重畳して大きな順方向電圧劣化を生じたことによる。その結果、インバータの動作中に内部ダイオードの損失が増大するとともに、この損失の増大により素子温度が上昇してMOSFET内部のオン抵抗の増大を招き、インバータの電力損失が大幅に増大する。

#### 【0035】

図5のインバータ回路のフライホイールダイオードとして、スイッチング素子98に逆並列に外付けのダイオード（ショットキーダイオードやpinダイオード）を接続してもよい（図示省略）。この場合には、外付けのショットキーダイオードやpinダイオードの内部抵抗は、MOSFETの内部ダイオードより低いので内部ダイオードを流れる逆電流は減少する。SiC-MOSFETを流れる逆電流が減少するので、積層欠陥の成長を減らすことができる。この場合でも劣化の程度は低いが同様の劣化が発生した。これは、インバータが高い電流密度で駆動された際、一部の電流が外付けのダイオードの他にSiC-MOSFETの内部ダイオードも流れるので順方向電圧劣化が発生したものである。

以上のように、本実施例によれば、SiC-MOSFETの順バイアス電圧が大きいときには表面保護膜である絶縁膜50a、50bを介してソース電極73、74が与える電界効果によりボディ層53、54とJTE層48a、48bを電氣的に接続するが、順バイアス電圧が小さいときには両者を電氣的に分離してJTE層48a、48bを経由して電流が流れないようにしている。これにより、高耐圧を維持しつつインバータ動作時のフライホイールダイオードの順方向電圧の劣化を低減して素子の損失の増大を抑制でき、高信頼性と高耐圧を同時に実現することができる。

#### 【0036】

以上、本発明のワイドギャップ半導体装置を各実施例について詳細に説明したが、本発明は上記の各実施例に限定されるものではない。半導体装置の各部の不純物濃度や、各部の厚さ長さ等の寸法は各部の機能を良好に達成できるように変更可能である。各実施例のものと反対の極性の半導体装置（例えばnpnトランジスタに対するpnpトランジスタ）などの各種のワイドギャップバイポーラ半導体装置に適用可能である。その例としては、IGBT、SIAFET、SIJFET、サイリスタ、GTO、MCT（MOS Controlled Thyristor）、SiCGT（SiC Commutated Gate Thyristor）、EST（Emitter Switched Thyristor）、BRT（Base Resistance controlled Thyristor）などの各種のSiCバイポーラスイッチング半導体装置や高耐圧SiC発光ダイオード、高耐圧SiC半導体レーザ等に変形応用が可能である。

#### 【0037】

また、本発明は、第4実施例に示したバイポーラ半導体装置として動作する部分を有するMOSFETのように、バイポーラ半導体装置として動作する部分を含むワイドギャップ半導体装置である、JFET、SIT等のワイドギャップ半導体スイッチング半導体装置や、MPS（Merged Pin/Schottky）ダイオードおよびJBS（Junction Barrier Controlled Schottky）ダイオード装置等にも変形応用が可能である。

本発明はSiC以外のGaNやダイヤモンド等の他のワイドギャップ半導体で構成したバイポーラ半導体装置動作部分を含むワイドギャップ半導体装置や高耐圧ワイドギャップ半導体発光ダイオードや高耐圧ワイドギャップ半導体レーザ等にも適用できる。前記第4実施例では、本発明のワイドギャップ半導体装置であるSiC-MOSFETを、インバータに適用した例を示したが、本発明のワイドギャップ半導体装置は、スイッチング電源装置、大電力高周波発振装置、電力増幅装置などの電力装置等にも適用可能である。

また第3及び第4実施例では言及しなかったが、各実施例において必要に応じて第1の電極とアノード層との間にp<sup>+</sup>コンタクト層やオーミックコンタクト層を設けても良い。更にオーミックコンタクト層が表面保護用酸化膜とワイドギャップ半導体の界面に侵入していかないように、オーミックコンタクト層と表面保護用酸化膜の間にスペース部分を設けたり、スペース部分にアノード電極が直接接触する部分やオーミックコンタクト層形成材料の浸入を阻止するストッパー材を設けても良い。

#### 【産業上の利用可能性】

#### 【0038】

本発明は高耐圧かつ高信頼性を必要とするワイドギャップ半導体装置及び電力装置に利用可能である。

#### 【図面の簡単な説明】

#### 【0039】

【図1】本発明の第1実施例のワイドギャップ半導体装置であるメサ構造のSiC-pinダイオードの断面図。

【図2】本発明の第2実施例のワイドギャップ半導体装置であるプレーナ構造のSiC-pinダイオードの断面図。

【図3】本発明の第3実施例のワイドギャップ半導体装置であるメサ構造のSiC-GTOの断面図。

【図4】本発明の第4実施例のワイドギャップ半導体装置であるメサ構造のSiC-MOSFETの断面図。

【図5】第4実施例のSiC-MOSFETを用いたインバータの回路図

【図6】本発明の図1に示すSiC-pinダイオードにおいて、オーミックコンタクト層8の両端部と、絶縁膜17との間の隙間にストッパー3を設けた構成例を示す断面図。

【図7】従来例のワイドギャップ半導体装置であるプレーナ構造のSiC-pinダイオードの断面図。

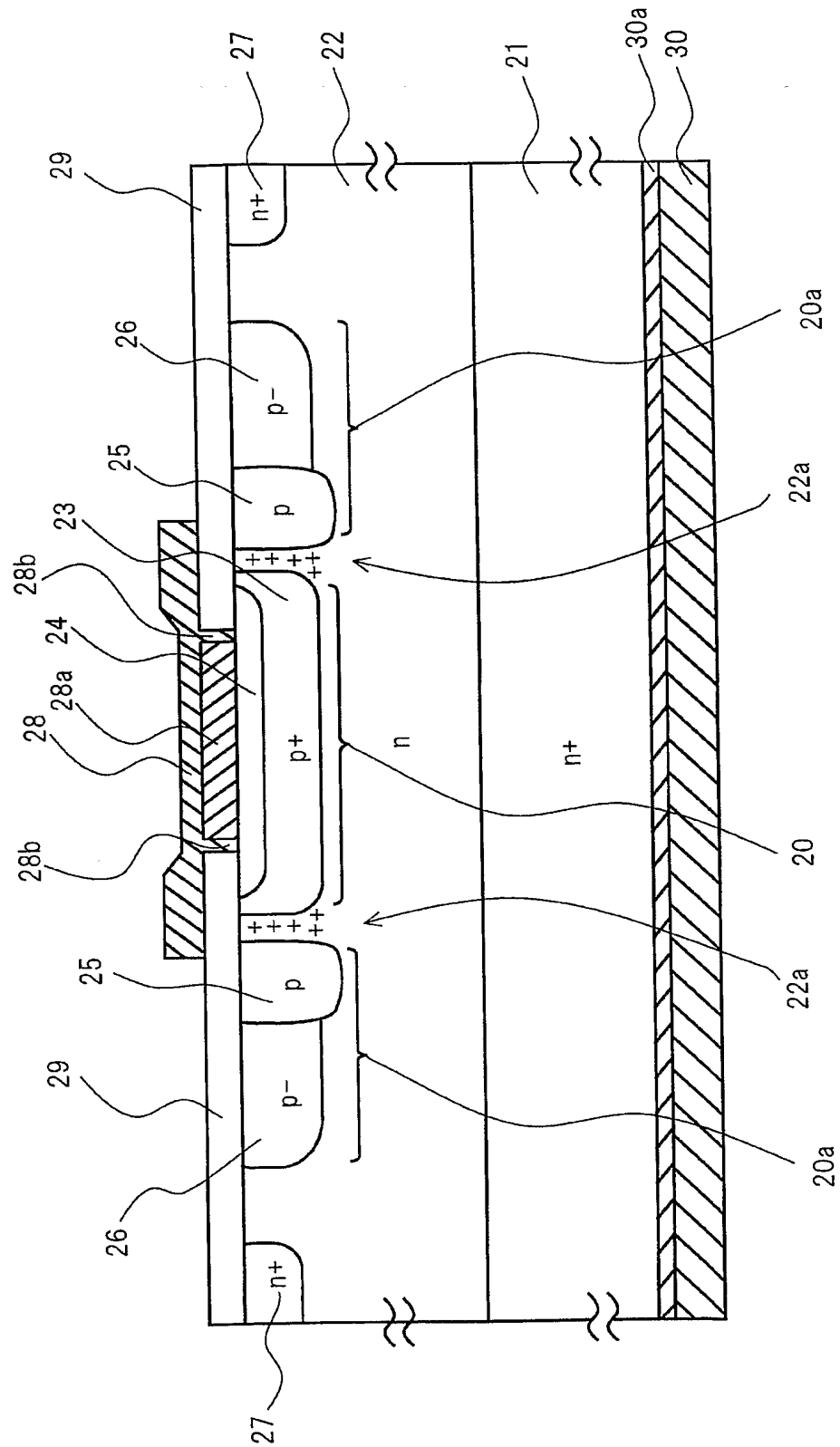
【符号の説明】

【0040】

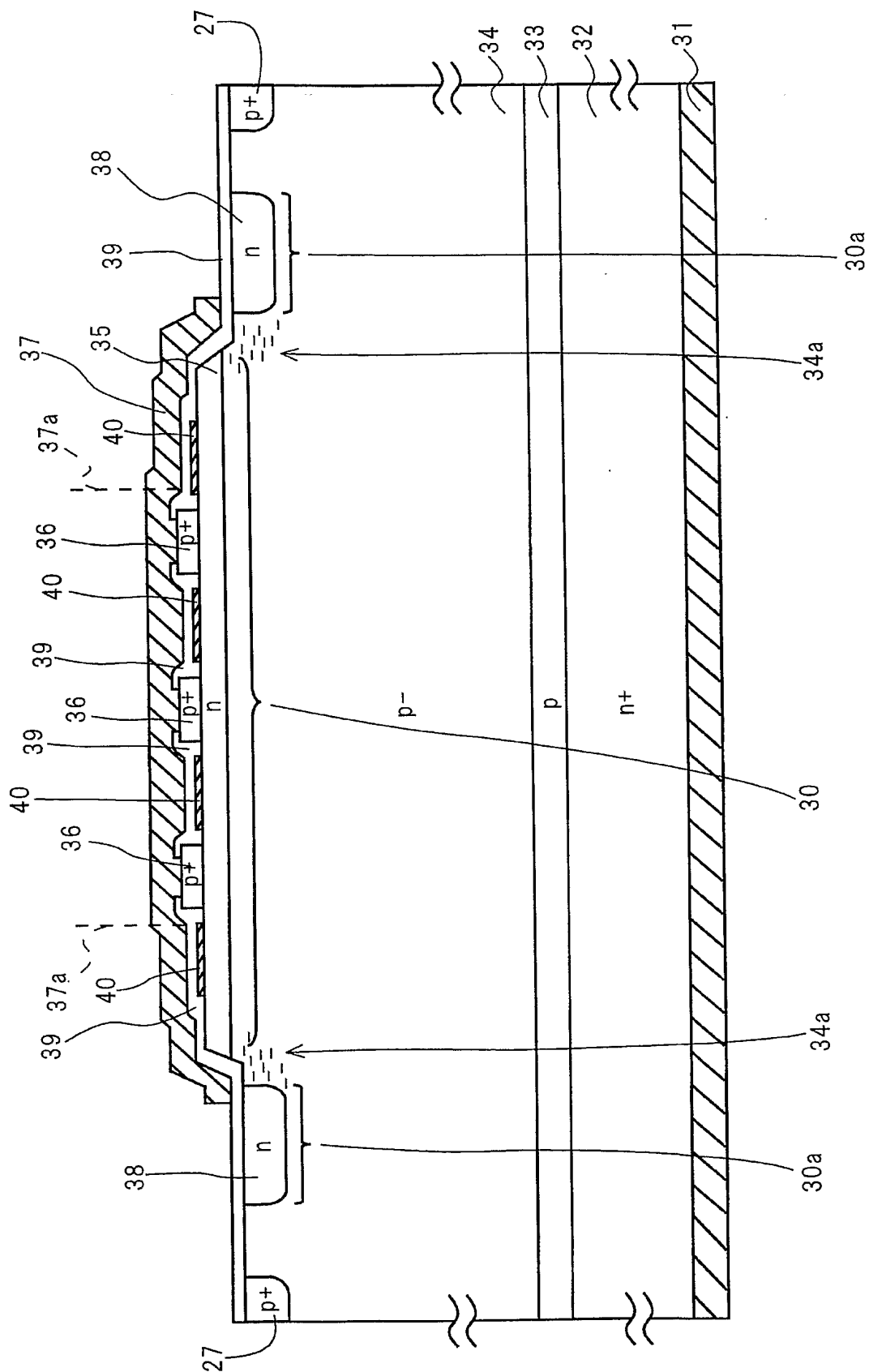
- 3    ストッパー
- 13、23    アノード層
- 12、22、42、105    ドリフト層
- 12a、22a    峽間部
- 42a、42b    ドリフト層部分
- 41    ドレイン層
- 17、29、39、91、92、93、50a、50b    絶縁膜
- 8、10、14、24、28a、30a    コンタクト層
- 40、81、82、83    ゲート電極
- 71、72、73、74    ソース電極
- 61、62、63、64、65、66    ソース層
- 52、53、54    ボディ層
- 11、21、3241、103    基板
- 19、30、31、113    カソード電極
- 18、28、37、101    アノード電極
- 33    バッファー領域
- 34、34a    ベース領域
- 35    ベース層
- 36    エミッタ層
- 16、27、49a、49b    チャネルストッパー層
- 15、17、25、38、48a、48b、107    JTE層
- 110    主接合
- 26    RESURF層
- 109    カソード領域



【図 2】

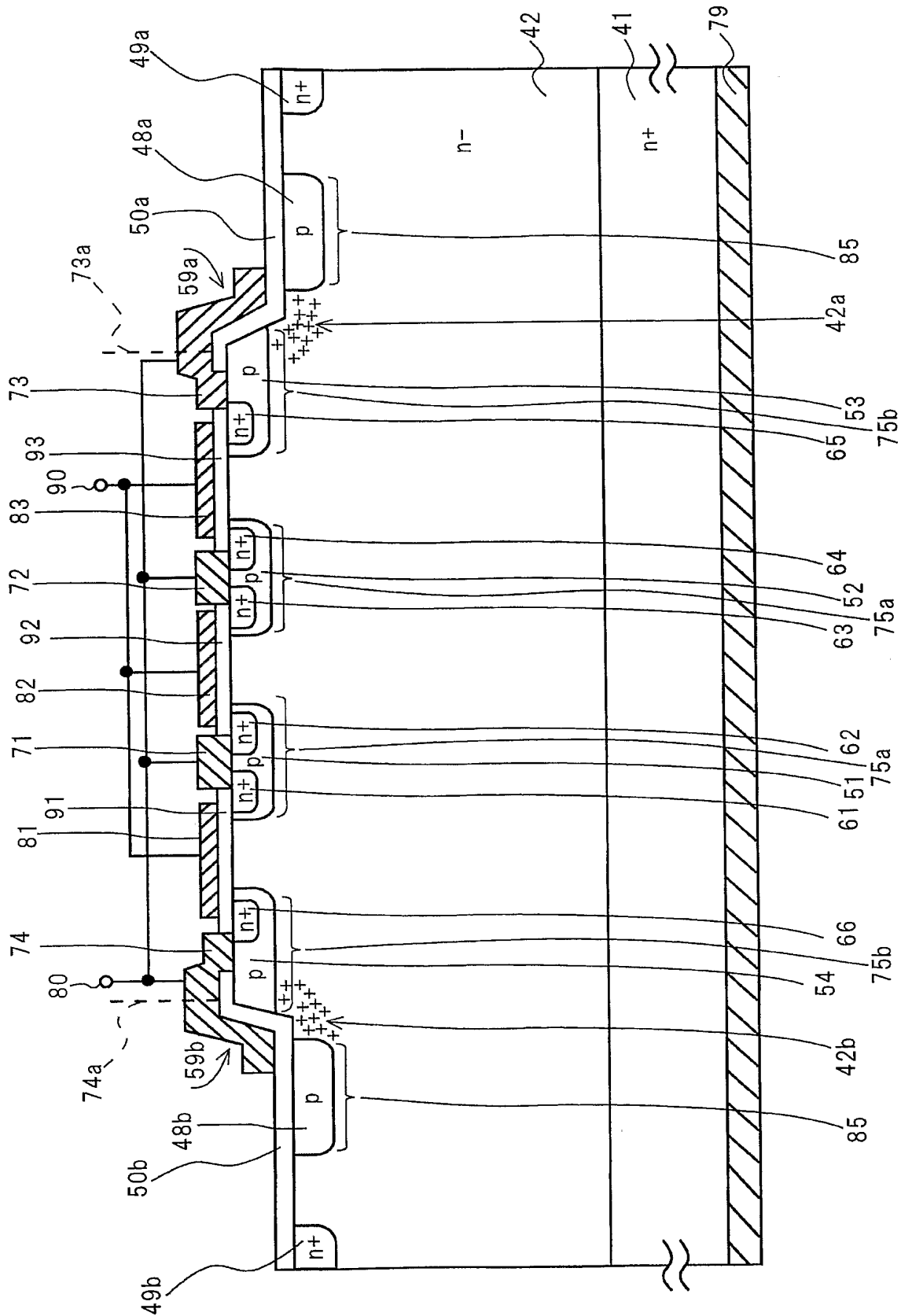


【図 3】

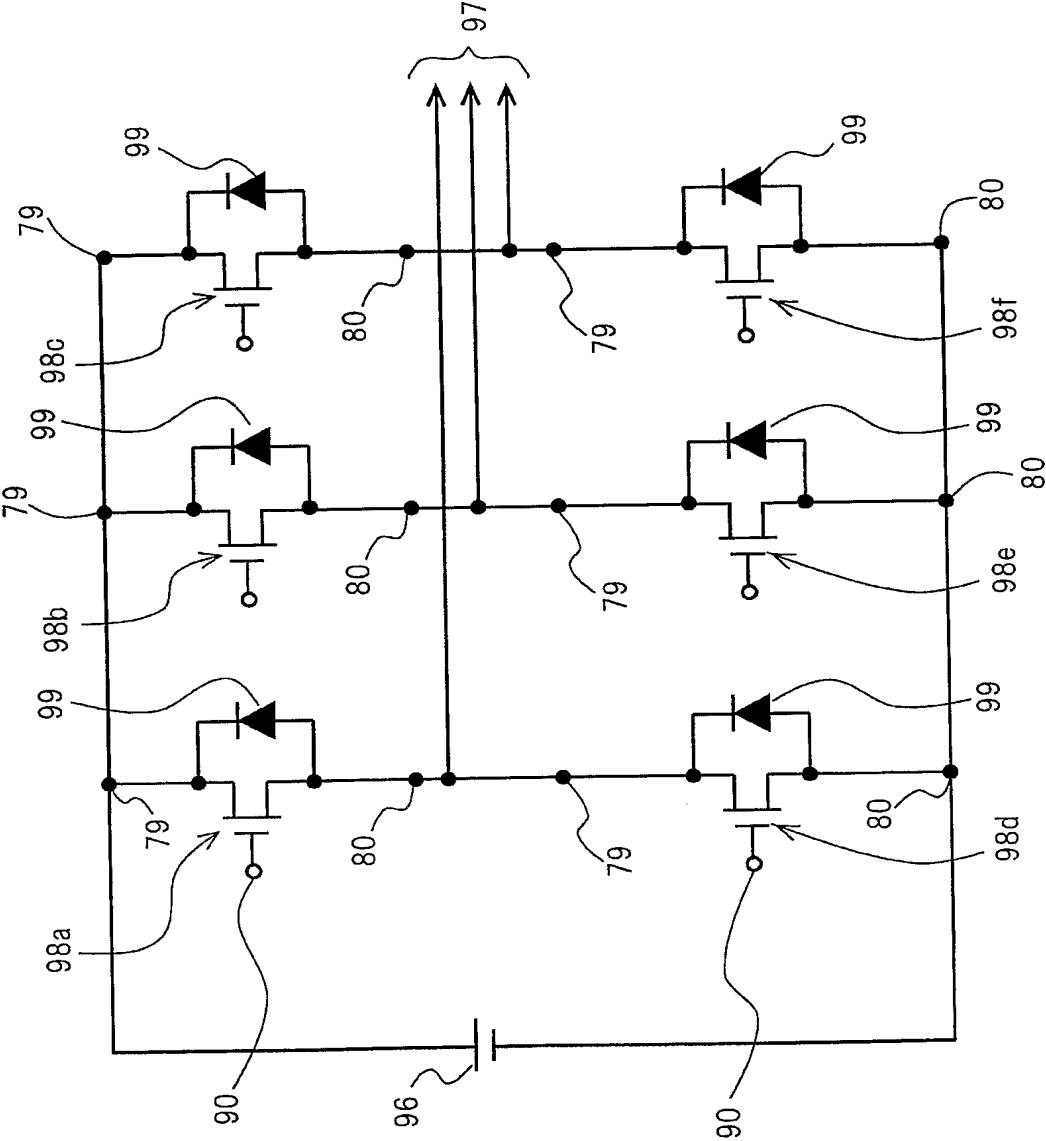




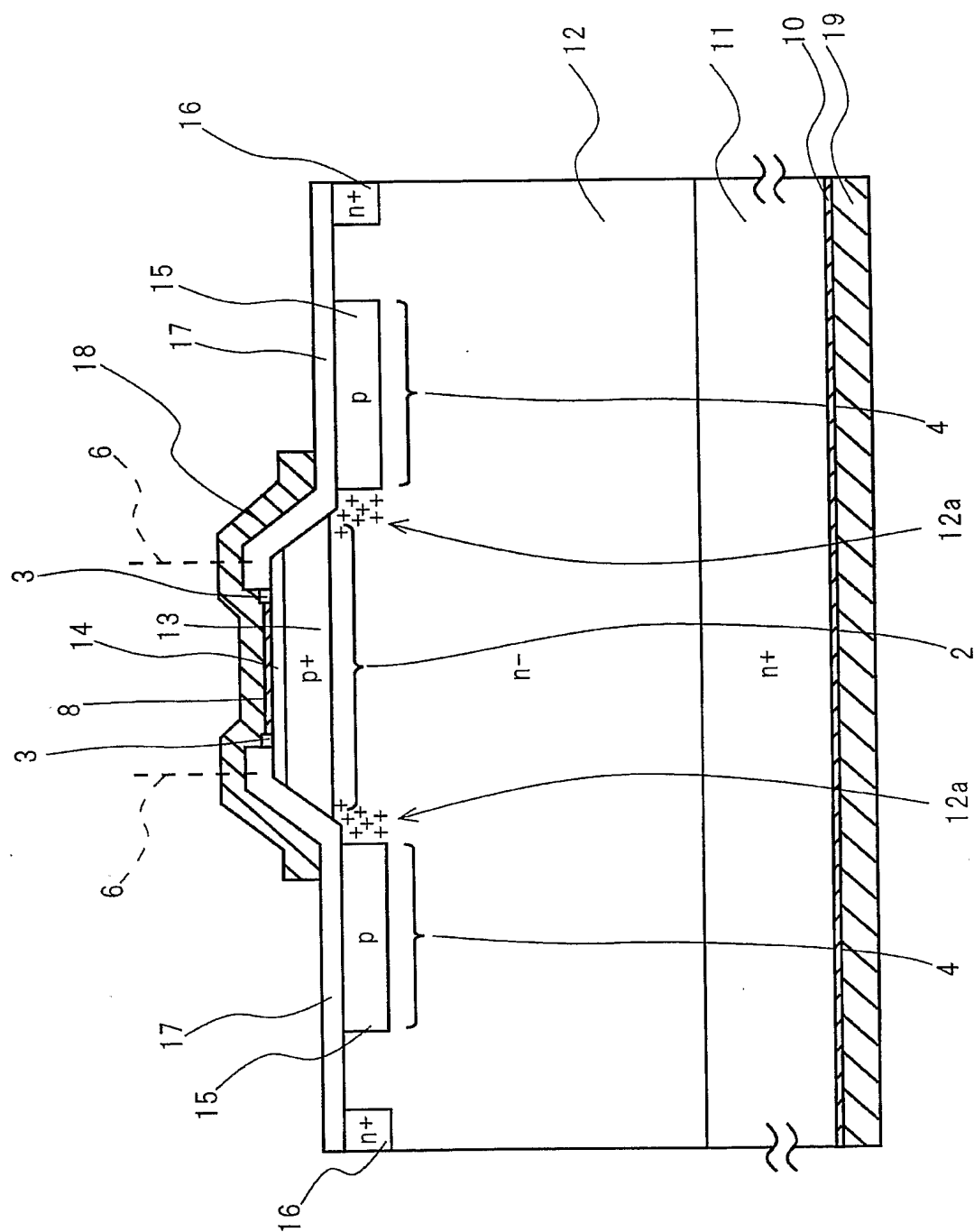
【図 4】



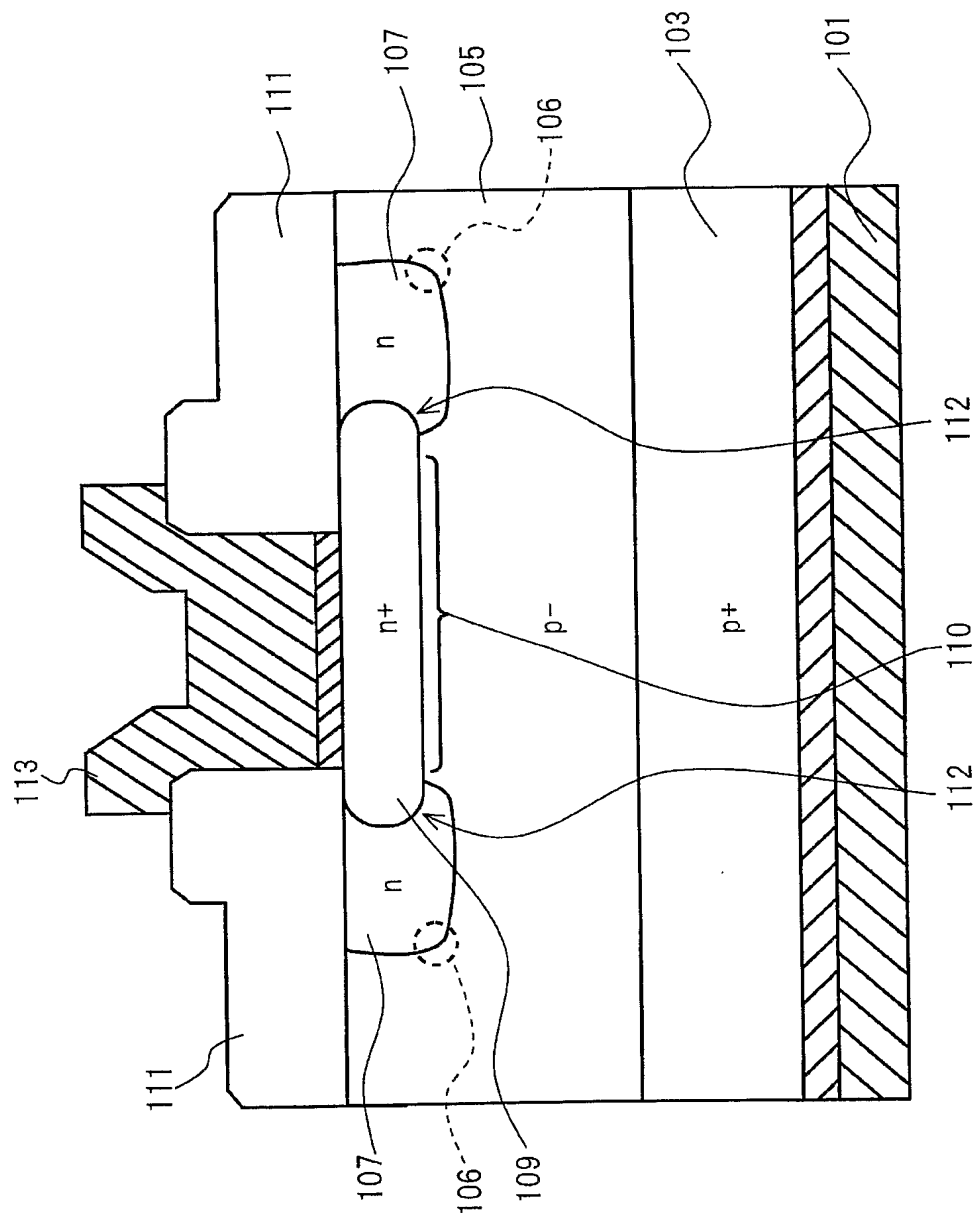
【図 5】



【図 6】



【图 7】



【書類名】 要約書

【要約】

【課題】 高耐圧半導体装置の順方向電圧劣化を低減し、長寿命かつ信頼性の高い半導体装置を提供すること。

【解決手段】 バイポーラ半導体素子のドリフト層とアノード層との接合と、電界緩和層とを離隔して形成し、前記接合と電界緩和層との間の半導体領域に、アノード電極の端部を絶縁膜を介して対向させる。逆バイアス時には、絶縁膜を介して電極から前記接合と電界緩和層の間のドリフト層に与えられる電界効果により接合と電界緩和層は電氣的に接続され、接合の端部の電界集中が緩和される。順バイアス時には、接合と電界緩和層を電氣的にも離隔して順方向電流が接合のみを通して流れるようにする。

【選択図】 図 1

特願 2 0 0 4 - 0 3 1 2 1 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 6 9 3 8 ]

1. 変更年月日 1 9 9 0 年 8 月 1 0 日  
[変更理由] 新規登録  
住 所 大阪府大阪市北区中之島 3 丁目 3 番 2 2 号  
氏 名 関西電力株式会社
2. 変更年月日 2 0 0 5 年 1 月 2 4 日  
[変更理由] 住所変更  
住 所 大阪府大阪市北区中之島 3 丁目 6 番 1 6 号  
氏 名 関西電力株式会社